

PAT-NO: JP401265345A

DOCUMENT-IDENTIFIER: JP 01265345 A

TITLE: CONTROLLER

PUBN-DATE: October 23, 1989

INVENTOR-INFORMATION:

NAME

SEKINE, KOICHI

INT-CL (IPC): G06F013/16

ABSTRACT:

PURPOSE: To reduce the electrical load of a data bus by using a switch means which switches a part of an address transmitted from a microprocessor unit MPU to an external signal as an address set to the data which is read out of a memory and used by the MPU and sends the switched signal to the memory.

CONSTITUTION: The parts A1 and A0 of the address signal received from an MPU 11 are switched to the external signals X0 and X1 and supplied to a memory 12 with no intervention of a data bus 14. Thus the MPU 11 can supply the signals X0 and X1 from the memory 12 via the bus 14. As a result, the quantity of data which are supplied simultaneously via the bus 14 can be reduced and therefore the electrical load of the bus 14 can be reduced.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報 (A) 平1-265345

⑬ Int. Cl.

G 06 F 13/16

識別記号

庁内整理番号

B-8841-5B

⑭ 公開 平成1年(1989)10月23日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 制御装置

⑯ 特願 昭63-93340

⑰ 出願 昭63(1988)4月18日

⑱ 発明者 関根浩一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士土橋皓

## 明細書

## 1. 発明の名称

制御装置

## 2. 特許請求の範囲

(1) MPU (11) がメモリ (12) から読み出して使用するデータに対するアドレスとして、MPU (11) から送信されるアドレスの一部 (A1, A0) と外部信号 (X0, X1) とを切り換えてメモリ (12) 側へ送信する切換手段 (16) をデータバス (14) とメモリ (12)との間に介装したことを特徴とする制御装置。

(2) 前記切換手段 (16) には MPU (11) から受信したアドレスの一部 (A3, A2) をメモリ (12) 側へ送信する手段 (26a, 26b) を備え、MPU (11) から送信されたアドレスの一部 (A3, A2) と、前記切換手段 (16) によりメモリ (12) 側へ送信されて記憶させた外部信号 (X0, X1) とを、組み合せて作成したアドレスの一部 (A3 A2

X0 X1) を MPU (11) とメモリ (12) の間で送受信させるようにしたことを特徴とする請求項 (1) 記載の制御装置。

## 3. 発明の詳細な説明

## (概要)

プリンタ等の周辺機器に組込まれたマイクロプロセッサユニットが知りたい外部信号を周辺機器内のメモリへ記録する制御装置に関し、

MPUで使用するメモリのデータに対するアドレスとして、MPUから送信されるアドレスと外部信号が割り付けられるアドレスとを切り換えてメモリ側へ送信する切換手段を備えて、データバスを介さずに外部信号をメモリへ入力させ、メモリが記憶した外部信号のアドレスを MPUとメモリとの間で送受信する制御装置を提供することを目的とし、

MPUがメモリから読み出して使用するデータに対するアドレスとして、MPUから送信されるアドレスの一部と外部信号とを切り換えてメモリ

側へ送信する切換手段を備えた構成にしたものである。

## (産業上の利用分野)

本発明は、プリンタ等の周辺機器に組込まれたマイクロプロセッサユニットが知りたい外部信号を周辺機器内のメモリへ記録する制御装置に関する。

## (従来の技術)

従来のMPU(マイクロプロセッサユニット)を用いたプリンタ制御装置は、第4図に示すように、MPU11とメモリ12およびROMやRAM等の各種LSI(集積回路)13との間でデータを送受信させるデータバス14に、CPUあるいは外部端末装置等とデータを送受信する入出力ポート15を接続し、MPU11が知りたい外部信号について入出力ポート15からデータバス14を介して送受信していた。

## (課題を解決するための手段)

本発明は、上記課題を解決するための手段として制御装置を具体的に構成するにあたり、第1図に示すように、MPU11がメモリ12から読み出して使用するデータに対するアドレスとして、MPU11から送信されるアドレスの一部A1、A0と外部信号X0、X1とを切り換えてメモリ12側へ送信する切換手段16をデータバス14とメモリ12との間に介装したものである。

また、前記切換手段16にはMPU11から受信したアドレスの一部A3、A2をメモリ12側へ送信する手段26a、26bを備え、MPU11から送信されて送信手段26a、26bを介してメモリ12に記憶させたアドレスの一部A3、A2と、前記切換手段16によりメモリ12側へ送信させて記憶させた外部信号X0、X1とを、組み合せて作成したアドレスの一部A3 A2 X0 X1をMPU11とメモリ12との間で送受信せるものにしたことであ

## (発明が解決しようとする課題)

上記従来のプリンタ制御装置では、MPU11の処理に際して用紙の有無あるいは用紙送り制御等の外部信号をデータバス14から直接入力させていたため、静電容量やバーン容量等の成分による電気回路的なデータバス14の負荷が増大し、バス構造あるいはタイミングの変更等が必要になり、設計を困難にするという問題点があった。

本発明は、上記問題点を解決するために成されたもので、その解決を目的として設定する技術的課題は、MPU11で使用するデータに対するアドレスとして、MPU11から送信されるアドレスの一部と外部信号が割り付けられるアドレスの一部とを切り換えてメモリ側へ送信する切換手段を備え、データバス14を介さずに外部信号をメモリ12へ入力させ、外部信号を記憶させたメモリ12のアドレスをMPU11とメモリ12との間で送受信する制御装置を提供することにある。

る。

## (作用)

本発明は上記構成により、MPU11から出力されたアドレス信号の一部A1、A0と、外部信号X0、X1とを切り換えて、データバス14を介さずにメモリ12に入力させ、MPU11が必要に応じてメモリ12からデータバス14を介して外部信号X0、X1を入力できるようにし、データバス14を介して同時に入力させるデータ量を減少させ、データバス14の電気的負荷を低下させることができるようになる。

MPU11が外部信号の状態を求める場合には、MPU11で使用するメモリ12のアドレスとして外部信号X0、X1とMPU11から出力されたアドレスの一部A3、A2とが組み合わされたアドレスの一部A3 A2 X0 X1を使用することにより、外部信号X0、X1により選択された(あらかじめ初期化されている)メモリ12の内容を読み出して、その内容から判断することが

できるようになり、データバス14を介して外部信号X0, X1をMPU11へ入力させずにすみ、MPU11とメモリ12との間において常に一定のデータ量で送受信されてデータバス14の電気的負荷を均一化させることができるようになる。

## (実施例)

以下、本発明の実施例につき、外部信号がX0, X1の2ビットで入力される場合について図示説明する。

第2図に示すように、MPU11で使用するメモリ12のデータに対するアドレスとして、MPU11から送信されるアドレスと外部信号とを切り換えてメモリ12側へ送信する切換手段16を、メモリ12とデータバス14との間に介装する。

この切換手段16には、入力されたアドレス内の2桁a bの状態により対応する出力端子 $\bar{a} \bar{b}$ ,  $\bar{a} b$ ,  $a \bar{b}$ ,  $a b$ から1を出力する2つの

出力線26a, 26bで分岐させて、メモリ12の記憶場所MA3(A3記憶番地)およびMA2(A2記憶番地)にもそれぞれ同時に伝送し、記憶させる。

切換手段16に入力させる外部信号X0, X1は、直接にマルチブレクサ23のb0, b1へ入力させる。

デコーダ21から出力されるデータ $\bar{a} \bar{b}$ は、メモリ12のイネーブルデータ記憶場所へ伝送され、記憶させる。

デコーダ22から出力されるデータabは、マルチブレクサ23のa/bへ入力させる。

マルチブレクサ23から出力されるc0, c1はメモリ12の記憶場所MA1(A1記憶番地), およびMA0(A0記憶番地)へそれぞれ伝送させ、記憶させる。

アドレスA5 A4 A3 A2 A1 A0の割り付けは、第3図に示すように、A5, A4の値が0でA3, A2の値が1を採る位置の下位2桁A1 A0の値が00~11の範囲を、2桁で与え

デコーダ21, 22と、デコーダ22の出力を入力し、その入力したデータa/bの状態によりMPU11から送信された2桁のデータa0 a1, またはb0 b1を出力端子c0 c1からメモリ12側へ出力するマルチブレクサ23とを設け、メモリ12の記憶場所を示す6桁から成るアドレスA5 A4 A3 A2 A1 A0の各2桁づつを、データバス14からアドレスバス24を介して各デコーダ21, 22およびマルチブレクサ23に伝送させる。

MPU11からアドレスバス24を介して伝送させるアドレスA5 A4 A3 A2 A1 A0は、各2桁のデータとしてA5, A4をアドレスバス24からデコーダ21のa, bに、A3, A2をアドレスバス24からデコーダ22のa, bに、A1, A0をアドレスバス24からマルチブレクサ23のa0, a1にそれぞれ伝送させる。

アドレスバス24からデコーダ22に伝送するデータのA3およびA2は、デコーダ22への入力線25a, 25bをそれぞれメモリ12側への

られる外部信号X0 X1の値00~11に対応してアクセスするように割り付ける。MPU11が必要に応じて、入力された外部信号X0 X1に対してメモリ12のどの番地がアクセスされたかを知ることができるよう、例えば番地自身をデータとして格納する等の方法により、その番地固有の値であらかじめ初期化しておく。

このような実施例によれば、MPU11が外部信号X0 X1の状態を知りたい場合、メモリ12のアドレス0011A1 A0を読み出す。このとき、デコーダ22ではA3 A2が11になっている場合にはab=11となり、マルチブレクサ23の入力値a/b=1となって、c0, c1からはb0, b1の値、すなわち外部信号X0, X1の値がメモリ12の記憶場所MA1, MA0にそれぞれ出力される。この記憶場所MA1, MA0を呼び出すことにより外部信号X0, およびX1の状態と1対1に対応したA1記憶番地、およびA0記憶番地を読み出せる。

上記実施例では外部信号が2ビットの場合につ

いて説明したが、これにかぎらず、任意のビット数によって実施することができる。

また、アドレスのビット数も A<sub>3</sub> A<sub>2</sub> A<sub>1</sub> A<sub>0</sub> (すなわち A<sub>3</sub> A<sub>2</sub> X<sub>0</sub> X<sub>1</sub>) を含む任意のビット数のアドレスを使用してもさしつかえない。

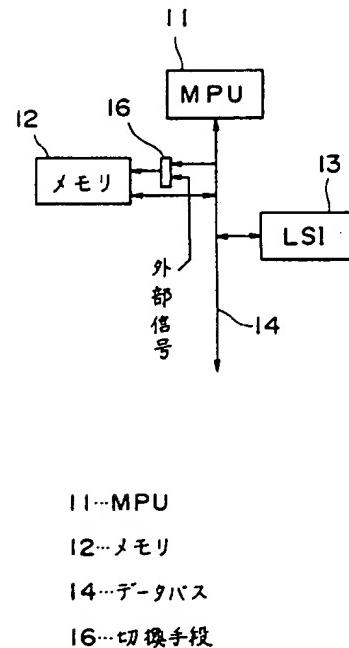
## (発明の効果)

以上のように本発明では、MPU 11で使用するデータに対するアドレスとして、MPU 11から送信されるアドレスの一部と外部信号とを切り換えてメモリ 12側へ送信する手段 16を備えたことにより、直接にデータバス 14を介して外部信号をMPU 11へ入力させずにすみ、データバス 14の電気的負荷を軽減させることができる。

これにより、バス構造あるいはタイミングの変更等が不要になり、装置のタイミングの設定や構造設計が容易になる。

## 4. 図面の簡単な説明

第1図は、本発明による制御装置の基本構成



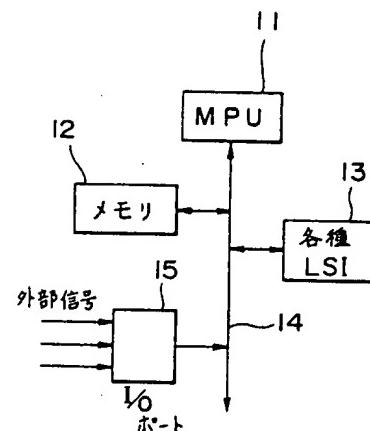
本発明による制御装置の基本構成図

第1図

図、第2図は、本発明による実施例の制御装置を示す部分構成図、第3図は、本発明による実施例のメモリにおけるアドレスマップを示す説明図、第4図は、従来のプリンタ制御装置を示す構成図。

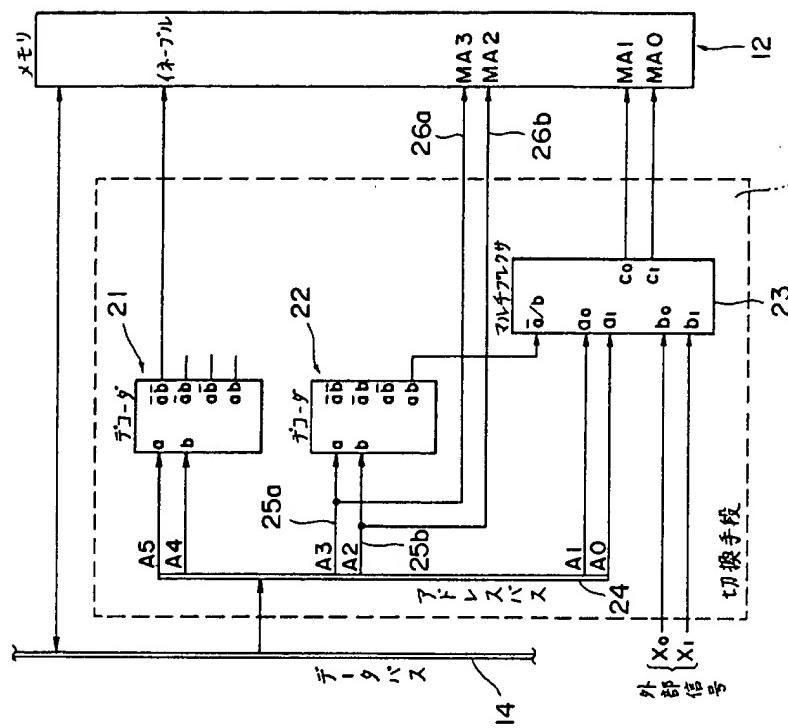
- 11…MPU
- 12…メモリ
- 14…データバス
- 16…切換手段
- 21, 22…デコーダ
- 23…マルチプレクサ
- 24…アドレスバス
- 25a, 25b…入力線
- 26a, 26b…出力線
- A<sub>5</sub> A<sub>4</sub> A<sub>3</sub> A<sub>2</sub> A<sub>1</sub> A<sub>0</sub> …アドレス
- X<sub>0</sub>, X<sub>1</sub> …外部信号

特許出願人 富士通株式会社  
代理人 弁理士 土橋皓



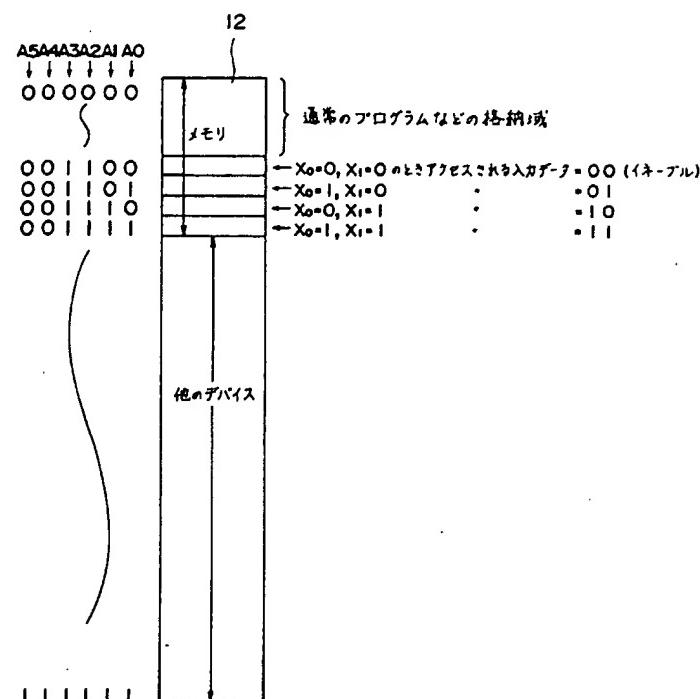
従来のプリンタ制御装置を示す構成図

第4図



本発明による実施例の制御装置を示す部分構成図  
第 2 図

25a, 25b ……入力線  
26a, 26b ……出力線  
A5, A4, A3, A2, A1, A0 ……アドレス  
 $X_0, X_1$  ……外部信号

本発明による実施例のメモリにおける  
アドレスマッピングを示す説明図

第 3 図